

【半導体のラッチアップ試験】

半導体のラッチアップ試験の特徴

半導体のCMOS デバイスは構造上、寄生のNPN、PNP バイポーラトランジスタが入出力回路部にでき、これが寄生サイリスタを形成します。CMOS デバイ스에電源バイアスを加えた状態では、外来サージなどのノイズがCMOS デバイ스에飛び込んだ場合、電源ラインに過電流が流れ続け、場合によっては素子破壊になる現象、すなわちラッチアップ現象を生じます。

ラッチアップ試験に対して、現在適用されている試験方法は主に2種類あります。

・パルス電流注入方法

・電源過電圧方法

*コンデンサ電圧印加方法は、試験条件が根拠に乏しいこと等の理由により一般的で無いことから省略しています。

半導体のラッチアップ試験方法

1. パルス電流注入方法

所定の電源電圧を印加したデバイスの入力または出力端子にトリガパルス電流を流し、ラッチアップを引き起こすトリガパルス電流値を求める方法です。

【一般的な試験条件例】

試験回路 : 図1

印加電圧 : 20mA開始、20mAステップ、200mA最終

印加極性 : +, -の両極性

印加回数 : 1回

印加方法 : 1ピンより開始し最終ピンまで順番に実施

印加端子 : 基準ピンを除く全ピン

基準端子 : GNDまたはVcc

その他 : その他のピンはオープン

判定基準 : 電源電流が、初期電流値に対して±10%以上変化した時をラッチアップ発生とする。

* 試験実施には、試験機に使用する試験用ボードを作製する必要がある有ります。

試験用ボードにはソケットが必要であり、原則としてソケットの支給が必須となります。

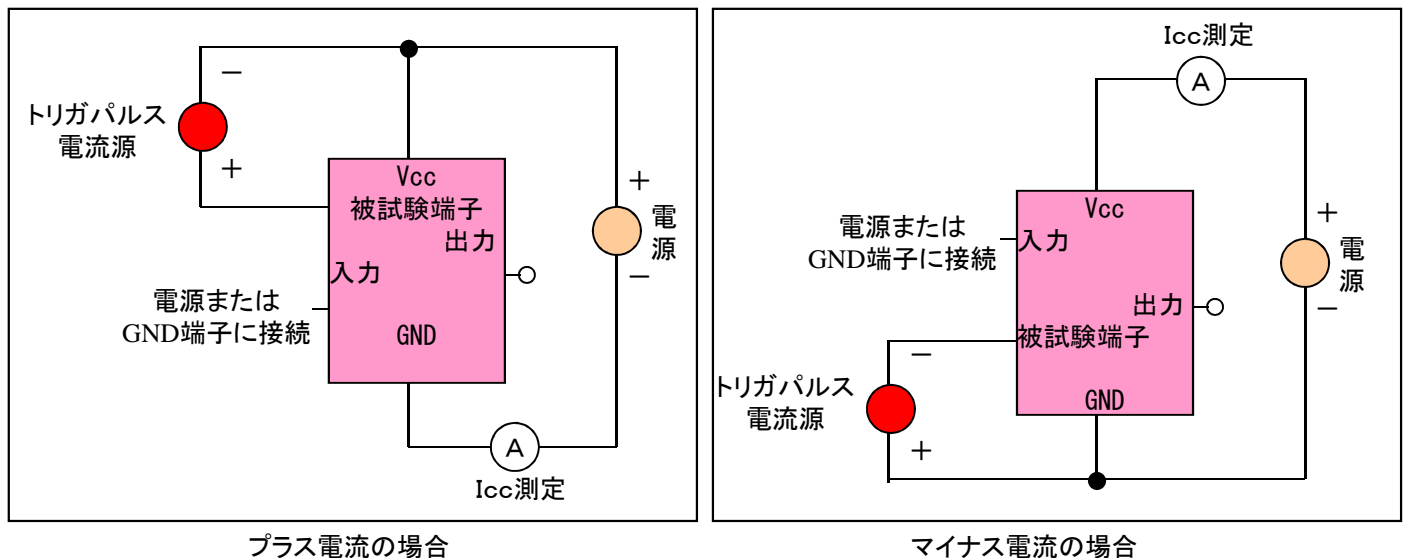


図1 パルス電流注入方法の試験回路

2. 電源過電圧方法

電源電圧に対するラッチアップ強度を測定するためのもので、一般的に絶対最大定格電圧付近まで評価します。

【一般的な試験条件例】

試験回路 : 図2

印加電圧 : 0.5V開始、0.5Vステップ、7.0V最終

印加極性 : +のみ

印加回数 : 1回

印加端子 : 電源ピン

基準端子 : GND

その他 : その他のピンはオープン

判定基準 : 電源電流が、初期電流値に対して±10%以上変化した時をラッチアップ発生とする。

- * 試験実施には、試験機に使用する試験用ボードを作製する必要があるがあります。
試験用ボードにはソケットが必要であり、原則としてソケットの支給が必須となります。

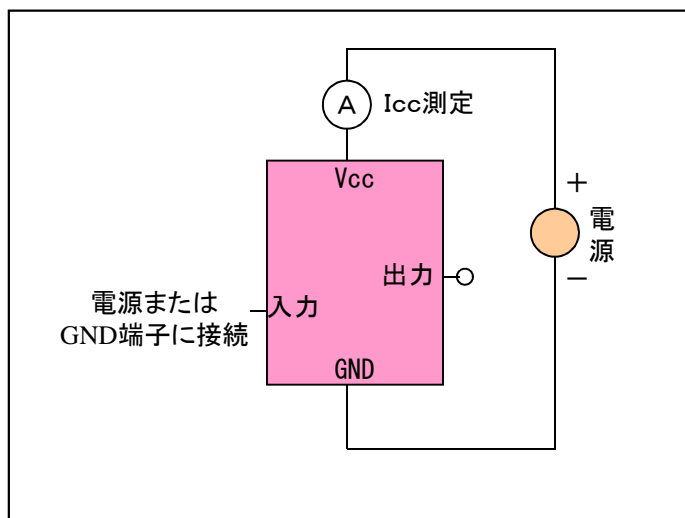


図2 電源過電圧方法の試験回路